

L Number	Hits	Search Text	DB	Time stamp
1	1673	(257/778).CCLS.	USPAT; US-PGPUB; EPO; JPO; DERWENT; IBM_TDB USPÄT	2003/07/21 09:49
2	10	("5583376"   "5610431"   "5719069"   "5898220"   "5915168"   "6074891"   "6084297"   "6084308"   "6258626"   "6266197").PN.		2003/07/21 10:13

**Notification of Reason(s) for Refusal**

Patent Application No.	2002-136026
Drafting Date	April 21, 2003
Examiner of JPO	Takashi Kimoto 8815 3P00
Representative / Applicant	Kosaku Inaoka
Applied Provision	Patent Law Section 29(2)

This application should be refused for the reason mentioned below. If the applicant has any argument against the reason, such argument should be submitted within 60 days from the date on which this notification was dispatched.

**Reason**

The invention(s) in the claim(s) listed below of the subject application should not be granted a patent under the provision of Patent Law Section 29(2) since it could have easily been made by persons who have common knowledge in the technical field to which the invention(s) pertains, on the basis of the invention(s) described in the publication(s) listed below which was distributed in Japan or foreign countries prior to the filing of the subject application.

**Note**

Reference cited in this Notification is listed at the end.

Claims 1 - 3

References cited 1 - 4

**Remarks**

See Fig. 1 of Reference 1. A semiconductor carrier (7) corresponds to a substrate of the present invention. It is considered that a wiring pattern is formed in the semiconductor carrier (7).

See Fig. 3 of Reference 2. A print wiring board (7) corresponds to a substrate of the present invention. An external terminal is not connected to an opposite surface of the surface connect to a chip of the print substrate. However, it is only a matter of design adopting well-known technique to connect the external terminal to the opposite surface of the substrate.

Grinding a back side of the chip while mounting the chip on the substrate is well-known technique as shown in Reference 3 (lines 15 - 20 of left bottom column of page 3) and Reference 4 (claim 1).

For the claims other than the claim specified in this notification of reason(s) for refusal, no reason for refusal is found at present. If any reason(s) for refusal is found later, it will be notified.

Dispatch Number 138585

List of Cited References

1. Japanese Unexamined Patent Publication No. 10-107095
2. Japanese Unexamined Patent Publication No. 05-055278
3. Japanese Unexamined Patent Publication No. 02-031437
4. Japanese Unexamined Patent Publication No. 09-153507

---

Record of the result of prior art search

- Technical field(s) to be searched Int.Cl.(7) H01L 21/304

This record is not a component(s) of the reason(s) for refusal.

整理番号 PR2-00153

発送番号 138585

発送日 平成15年 5月20日 1 / 2

## 拒絶理由通知書

期 限 15年7月22日

特許出願の番号

特願2002-136026

起案日

平成15年 4月21日

特許庁審査官

紀本 孝

8815 3P00

特許出願人代理人

稲岡 耕作 (外 2名) 様

適用条文

第29条第2項



この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

### 理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1-3
- ・引用文献等 1-4
- ・備考

引用例1は、図1参照。半導体キャリア(7)が、本願発明の基板に相当する。該半導体キャリア(7)には、配線パターンが形成されていると認められる。

引用例2は、図3参照。プリント配線板(7)が、本願発明の基板に相当する。該プリント基板のチップが接合された表面とは反対側の表面に、外部端子が接続されていないが、基板の裏面側に外部端子を接続することは、単に周知技術を採用した程度の設計事項にすぎない。

チップを基板に実装した状態で、チップ裏面を研削することは、引用例3(3頁左下欄15-20行)、引用例4(請求項1)に示すように、周知の技術である。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開平10-107095号公報
2. 特開平05-055278号公報
3. 特開平02-031437号公報
4. 特開平09-153507号公報

---

補正時の注意事項

(1) 明細書を補正した場合は、補正により記載を変更した個所に下線を引くこと（特許法施行規則様式第13備考6）。

(2) 補正の際には、新規事項を追加することのないように注意し、意見書で、各補正事項について補正が適法なものである理由を、根拠となる出願当初の明細書の記載箇所を明確に示したうえで主張されたい。

---

先行技術文献調査結果の記録

・調査した分野 IPC第7版 H01L21/304

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

---

この拒絶理由通知の内容についての問い合わせ先

特許審査第二部 特殊加工 紀本 孝 (TEL. 03-3581-1101 内線3363)